**Hyperthreading y Tick-Tock**

El hyperthreading consigue el PLP (paralelismo a nivel de proceso) en un núcleo.

**Hyperthreading de grano fino:**

En un sistema de grano fino, el hyperthreading se realiza de la siguiente forma:

Cada núcleo de la CPU maneja varios hilos (4) de los cuales se ejecuta uno por cada ciclo de reloj. El pipelined se lleva a cabo segmentando las instrucciones en 6 etapas, las 5 conocidas (IF: búsqueda de la instrucción; ID: decodificación de la instrucción; EX: Ejecución; MEM: Acceso a memoria; WB: Escribir dato en el registro destino) y una sexta que consiste en el cambio de hilo. Los saltos y cargas transcurren durante varios (3) ciclos de reloj en los cuales se cambia de proceso.

En el Patterson utiliza un procesador superescalar que permite realizar varias instrucciones por ciclo de reloj.

\*Nota: Los números entre paréntesis son los datos concretos obtenidos del Patterson.

**Hyperthreading grano grueso:**

El sistema de grano grueso surge como mejora del hyperthreading de grano fino. Aquí, los cambios de hilo solo surgen con paradas largas del sistema como fallos de la caché L1, L2 o L3. Estos fallos, paran la ejecución.

El problema de este sistema es que sufre bajadas de rendimiento con pequeñas paradas ya que no realiza el cambio de hilo.

Cuando se bloquea la CPU que lleva un único hilo, ésta encuentra un mecanismo de burbuja (bloqueos del pipelined) que lo posiciona en la primera posición.

Debido a esta sobrecarga de arranque, el hyperthreading de grano grueso es mucho más útil para reducir la penalización de las paradas de muy alto coste, donde el llenado del pipeline es despreciable en comparación con el tiempo de parada.

Varios proyectos de investigación han explorado el multithreading de grano grueso, pero ninguno de los procesadores actuales importantes utilizan esta técnica.

**Simultaneous multithreading (SMT):**

Es una variación del grano fino implementado sobre un procesador capaz de soportar varios procesos a la vez PLP (paralelismo a nivel de procesos). Como las otras formas de hyperthreading, ésta también usa paralelismo a nivel de hilos con larga latencia de reloj del procesador.

La clave del SMT es que la programación dinámica permite que múltiples instrucciones de los hilos independientes sean ejecutados a la vez y sin tener en cuenta las dependencias entre ellos.

**Tick-Tock:**

Es un modelo adoptado por Intel en el que se asocia cada “tick” con una mejora de la tecnología que representa una evolución en dicha tecnología (tamaño del procesador en nanómetros) y cada “tock” representa una mejora de la arquitectura (juegos de instrucciones).

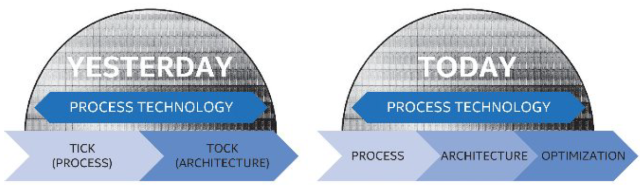
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **Año** | **Gen** | **Nombre** | **Tam CPU** | **Evolución** | **Mejoras** |
| 2008 | 1ª | Nehalem | 45nm | Tock | Incorpora en el DIE: controlador de memoria, PCI-Express x16 (tarjetas gráficas), QPI (QuickPath: bus rápido para comunicar varios procesadores entre sí tal como en los servidores o placas bases con varios procesadores diferentes), DMI  SSE4.2: extensión SIMD |
| 2010 |  | Westmere | 32nm | Tick | Se implementan algunas mejoras |
| 2011 | 2ª | Sandy bridge | 32nm | Tock | AVX: extensión SIMD  Incorpora en el DIE: GPU |
| 2012 | 3ª | Ivy bridge | 22nm | Tick | Se implementan algunas mejoras |
| 2013 | 4ª | Haswell | 22nm | Tock | AVX2(extensiones SIMD), YMM (registros vectoriales) |
| 2014 | 5ª | Broadwell | 14nm | Tick | Se implementan algunas mejoras |
| 2015 | 6ª | Skylake | 14nm | Tock | MPX: Extensiones para prevenir los ataques de stack overflow (desbordamiento de pila) |
| 2016 | 7ª | Kabylake | 14nm | Tock+ | Skylake+ (optimización) |
| 2017 | 8ª | Cannonlake | 10nm | Tick | Se implementan algunas mejoras |

Variantes de Nehalem (hay 6 variantes, aquí sólo vemos 2):

|  |  |
| --- | --- |
| http://images.anandtech.com/reviews/cpu/intel/nehalem/review/Nehalem_Die_callout.jpg  Bloomfield, 2008 | http://images.anandtech.com/reviews/cpu/intel/lynnfield/review/x58.jpg  I/O Hub (IOH): puente norte  I/O Controller Hub (ICH): puente sur |
| http://images.anandtech.com/reviews/cpu/intel/lynnfield/review/LFDDieLayout.jpg  Lynnfield, 2009 | http://images.anandtech.com/reviews/cpu/intel/lynnfield/review/P55-blockdiagram.jpg |

Westmere:

|  |  |
| --- | --- |
| http://techgage.com/reviews/intel/westmere_launch/intel_westmere_exploded_view_thumb.jpg | http://techgage.com/reviews/intel/westmere_launch/clarkdale_block.jpg |



Enlaces sobre el tick-tock de la profesora:

<http://muycomputerpro.com/movilidad-profesional/2016/05/20/intel-core/>

<http://www.intel.com/content/www/us/en/processors/processor-numbers.html>